

SC3321 双通道 12 位 250MSPS DAC

主要性能

- 高动态范围、双通道数模转换器（DAC）
- 低噪声和互调失真
- 支持 NRZ 和 RZ 等多种输出模式
- LVCMOS 输入，具有双端口或可选的交织单端口操作
- 差分模拟电流输出可在 8.6 mA 至 31.7 mA 满量程范围内进行编程
- 具有拉/灌功能的 10 位电流辅助 DAC
- 内部 1.2 V 精密基准电压源
- 采用 1.8 V 和 3.3 V 电源供电
- 345 mW 功耗
- 小尺寸，符合 RoHS 标准，72 引脚 LFCSP 封装
- 内建自校准功能

应用场合

- 无线基础设施
W-CDMA, CDMA2000, TD-SCDMA, WiMAX
- 宽带通信: LMDS/MMDS
- 点对点仪器仪表
- 射频（RF）信号发生器
- 任意波形发生器

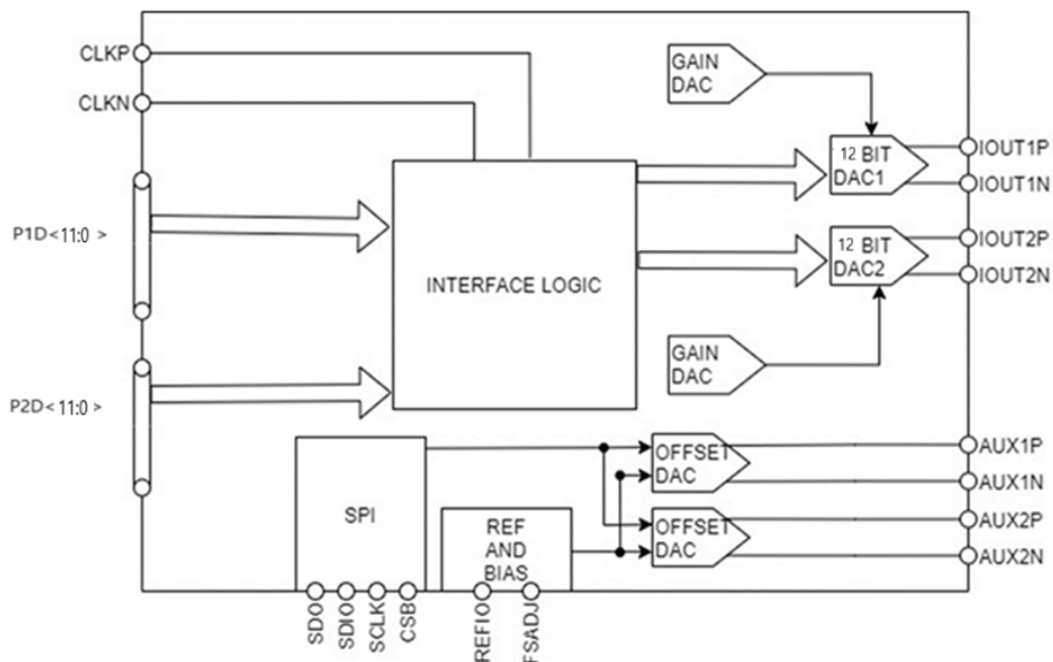


图 1 芯片模块示意图

目录

主要性能.....	1
应用场合.....	1
目录.....	2
产品概况.....	3
技术规格.....	4
直流特性	4
交流特性	5
数字和时序特性	6
极限参数.....	7
ESD 保护	7
引脚配置及功能说明.....	8
使用说明.....	11
SPI 端口	11
指令字节	11
MSB/LSB 传输.....	12
双端口模式时序	12
单端口模式时序	13
SPI 端口、复位和引脚模式.....	13
外形尺寸.....	14
订购信息.....	14
声明.....	15

产品概况

SC3321 是 12 位高动态范围、双通道 DAC，采样速率最高可达 250 MSPS。该器件还具有增益和失调补偿功能，可与模拟正交调制器连接。

该器件不仅支持串行外设接口（SPI），还可以为没有控制器的应用提供一些引脚编程功能。

低噪声和互调失真（IMD）可实现宽带信号的高质量合成。

多种输出模式，可增强动态性能。

可编程电流输出和双辅助 DAC 提供了系统灵活性和功能增强。

技术规格

直流特性

除非另有说明， T_{MIN} 至 T_{MAX} ， $AVDD33 = 3.3\text{ V}$ ， $DVDD33 = 3.3\text{ V}$ ， $DVDD18 = 1.8\text{ V}$ ， $CVDD18 = 1.8\text{ V}$ ， $IFS = 20\text{ mA}$ ，满量程数字输入，最大采样率。

表 1 电气特性-直流特性

参数	条件	最小值	典型值	最大值	单位
分辨率			12		Bits
准确性					
微分非线性(DNL)			± 0.13		LSB
积分非线性(INL)			± 0.25		LSB
主要 DAC 输出					
失调误差			± 0.001		%FSR
失调误差温度系数			0.1		ppm/°C
增益误差			± 2.0		%FSR
增益误差温度系数			± 2.0		ppm/°C
增益匹配(DAC1 至 DAC2)			± 1.0		%FSR
满量程输出电流		8.6		31.7	mA
恒流输出电压		-1		1	V
输出电阻			10		MΩ
辅助 DAC 输出					
分辨率			10		Bits
满量程输出电流		-2		2	mA
恒流输出电压范围——灌电流		0.8		1.6	V
恒流输出电压范围——拉电流		0		1.6	V
输出电阻			1.4		MΩ
单调性			10		Bits
参考输入/输出					
输出电压			1.2		V
输出电压温度系数			10		ppm/°C
外部输入电压范围		1.15		1.3	V
输入或输出电阻			5		kΩ
电源电压					
AVDD33,DVDD33		3.13		3.47	V
CVDD18,DVDD18		1.7		1.9	V
电源电流					
I_{AVDD33}			69		mA
I_{DVDD33}			4		mA
I_{CVDD18}			16		mA
I_{DVDD18}			41		mA
功耗					
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$			343		mW
DAC 输出禁用			16.5		mW
关机			1.1		mW

版本号: V1.1

发布日期: 2023/05/18

上海芯烁科技集团有限公司所有，未经允许，不得外传

代理商: 锦锋科技 <http://www.szkingfrom.com/>

工作温度		-40	125	°C
------	--	-----	-----	----

交流特性

除非另有说明， T_{MIN} 至 T_{MAX} ， $AVDD33 = 3.3\text{ V}$ ， $DVDD33 = 3.3\text{ V}$ ， $DVDD18 = 1.8\text{ V}$ ， $CVDD18 = 1.8\text{ V}$ ， $IFS = 20\text{ mA}$ ，满量程数字输入，最大采样率。

表 2 电气特性-交流特性

参数	条件	最小值	典型值	最大值	单位
无杂散动态范围 (SFDR)					
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$			79.6		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=70\text{ MHz}$			70		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=180\text{ MHz}$			66.8		dBc
互调失真(IMD)					
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$			82		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=70\text{ MHz}$			79		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=180\text{ MHz}$			74		dBc

数字和时序特性

除非另有说明， T_{MIN} 至 T_{MAX} ， $AVDD33 = 3.3\text{ V}$ ， $DVDD33 = 3.3\text{ V}$ ， $DVDD18 = 1.8\text{ V}$ ， $CVDD18 = 1.8\text{ V}$ ， $IFS = 20\text{ mA}$ ，满量程数字输入，最大采样率。

表 3 数字和时序特性

参数	条件	最小值	典型值	最大值	单位
DAC 时钟输入(CLKP,CLKN)					
差分峰峰值电压		400	800	1600	mV
单端峰峰值电压				800	mV
共模电压		300	400	500	mV
输入电流				1	μA
输入频率				250	MHz
数据时钟输出(DCO)					
输出高电平		2.4			V
输出低电平				0.4	V
输出电流		2	2.2	10	mA
DAC 时钟至数据时钟输出延迟(t_{DCO})				2.8	ns
数据端口输入					
输入高电平		2.0			V
输入低电平				0.8	V
输入电流				1	μA
数据到 DAC 时钟建立时间(t_{DBS} 双端口模式)		400			ps
数据到 DAC 时钟保持时间(t_{DBH} 双端口模式)		1200			ps
DAC 时钟到模拟输出数据延迟(双端口模式)				7	Cycles
数据或 IQSEL 输入到 DAC 时钟建立时间(t_{DBS} 单端口模式)		400			ps
数据或 IQSEL 输入到 DAC 时钟保持时间(t_{DBH} 单端口模式)		1200			ps
DAC 时钟到模拟输出数据延迟(单端口模式)				8	Cycles
串行外设接口					
SCLK 频率(f_{SCLK})		10		40	MHz
SCLK 高脉冲宽度 (t_{PWH})		10			ns
SCLK 低脉冲宽度 (t_{PWL})		1			ns
CSB 到 SCLK 建立时间(t_s)		0			ns
CSB 到 SCLK 保持时间(t_H)		1			ns
SDIO 到 SCLK 建立时间(t_{DS})		0			ns
SDIO 到 SCLK 保持时间(t_{DH})				1	ns
SCLK 到 SDIO/SDO 数据的有效时间(t_{DV})					ns
复位高脉冲宽度		10			ns
唤醒时间和输出延迟					
从 DAC 输出禁用			200		μs
从关机状态			1200		μs
DAC 时钟到模拟输出延迟 (双端口模式)			7		Cycles
DAC 时钟到模拟输出延迟 (单端口模式)			8		Cycles

极限参数

AVDD33, DVDD33	-0.3V 至 3.6V
DVDD18, CVDD18.....	-0.3V 至 1.98V
AVSS,DVSS,CVSS.....	-0.3V 至 0.3V
REFIO.....	-0.3V 至 AVDD33+0.3V
IOUT1P,IOUT1N,IOUT2P,IOUT2N,AUX1P,AUX2N,AUX2P.AUX2N.....	-0.1V 至 AVDD33+0.3V
P1D11 至 P1D0, P2D11 至 P2D0.....	-0.3V 至 DVDD33+0.3V
CLKP,CLKN.....	-0.3V 至 CVDD18+0.3V
RESET,CSB,SCLK,SDIO,SDO.....	-0.3V 至 DVDD33+0.3V
结温.....	125°C
存储温度范围.....	-65°C 至 150°C

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。
在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

**TOP VIEW
(Not to Scale)**

The diagram shows the top view of the ATmega328P microcontroller. The pins are numbered 1 through 28. The pin names are listed around the perimeter of the chip. The central text reads "TOP VIEW (Not to Scale)".

Pin	Pin Name
1	P1D1
2	P1D0
3	DNC
4	DNC
5	DNC
6	DNC
7	DCO
8	DNC
9	DVDD33
10	DVSS
11	IOSEL
12	DNC
13	P2D11
14	P2D10
15	P2D9
16	P2D8
17	P2D7
18	P2D6
19	P2D5
20	P2D4
21	P2D3
22	P2D2
23	P2D1
24	P2D0
25	DNC
26	DNC
27	DNC
28	FSADJ

表 4 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
1, 6	CVDD18	P	时钟电源电压(1.8V)。
2, 5	CVSS	G	时钟地(0V)。
3	CLKP	AI	差分DAC时钟输入。
4	CLKN	AI	互补差分DAC时钟输入。
7, 28, 48	DVSS	G	数字地(0V)。
8, 47	DVDD18	P	数字电源电压(1.8V)。

引脚序号	引脚名称	引脚类型	引脚功能
9至20	PID11,PID10,PID9,PID8,PID7,PID6,PID5,PID4,PID3,PID2,PID1,PID0	DI	端口1数据位输入。
25	DCO	DO	数据时钟输出。用于数据源时钟。
21至24, 26, 30, 43至46	DNC	/	不连接。
27	DVDD33	P	数字输入/输出电源电压(3.3V)。
29	IQSEL	DI	用于单端口模式操作的 I/Q 定位信号。
31至42	P2D11,P2D10,P2D9,P2D8,P2D7,P2D6,P2D5,P2D4,P2D3,P2D2,P2D1,P2D0	DI	端口2数据位输入。
49	SDO	DIO	串行外设接口数据输出。
50	SDIO	DI	串行外设接口数据输入和可选数据输出。
51	SCLK	DI	串行外设接口时钟输入。
52	CSB	DI	串行外设接口芯片选择输入。低电平有效。
53	RESET	DI	硬件复位。高位有效。
54	FSADJ	AO	满量程电流输出调整。连接一个10 k Ω 电阻到AVSS。
55	REFIO	AIO	参考输入/输出。连接一个0.1 μ F电容到AVSS。
56, 57, 71, 72	AVDD33	P	模拟电源电压(3.3 V)。
58, 61, 64, 67, 70	AVSS	G	模拟地 (0 V)。
59	IOUT2P	AO	DAC2 电流输出。当输入数据位均为1时，输出满量程电流。
60	IOUT2N	AO	DAC2 电流输出互补。当输入数据位均为0时，输出满量程电流。
62	AUX2P	AO	辅助 DAC2 默认电流输出引脚。
63	AUX2N	AO	辅助 DAC2 可选输出引脚。
65	AUX1N	AO	辅助 DAC1 可选输出引脚。
66	AUX1P	AO	辅助 DAC1 默认电流输出引脚。

引脚序号	引脚名称	引脚类型	引脚功能
68	IOUT1N	AO	互补 DAC1 电流输出。当数据位均为0时，输出满量程电流。
69	IOUT1P	AO	DAC1 电流输出。当数据位均为 1 时，输出满量程电流。
	EPAD	G	外露散热焊盘。裸露的散热焊盘必须焊接到PCB顶层表面的铜浇注处，以提高机械稳定性，并且必须与低阻抗GND平面电连接以实现低噪声性能。

使用说明

SC3321 所有特性和功能均可通过 SPI 端口进行设置。

SPI 端口

SPI 端口是一个灵活的同步串行通信端口，支持单字节或多字节传输以及 MSB 优先或 LSB 优先传输格式。通过单个双向引脚（SDIO）或通过两个单向引脚（SDIO/SDO）完成串行数据输入/输出。

指令字节

指令字节包含以下位图中显示的信息。

MSB				LSB			
B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

位 7 R/W 确定在指令字节写入后是进行读取还是写入数据传输。逻辑高电平表示读取操作。逻辑 0 表示写入操作。

位[6: 5]，N1 和 N0，确定在数据传输周期中要传输的字节数。位定义如表 5 所示。

表 5 字节传输计数

N1	N0	描述
0	0	传输一个字节
0	1	传输两个字节
1	0	传输三个字节
1	1	传输四个字节

位[4: 0]、A4、A3、A2、A1 和 A0 确定在通信周期的数据传输期间访问哪个寄存器。对于多字节传输，此地址是起始地址或是结束地址，取决于当前数据传输模式。

MSB/LSB 传输

串行端口可以支持 MSB 优先和 LSB 优先的数据格式，如图 3 和图 4 所示。

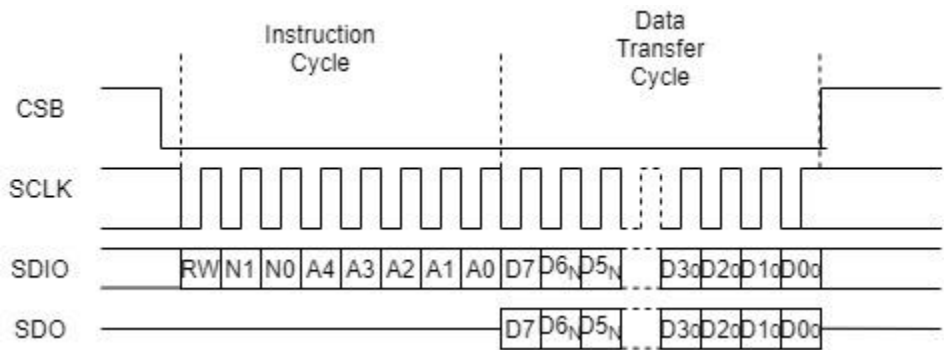


图 3 MSB First

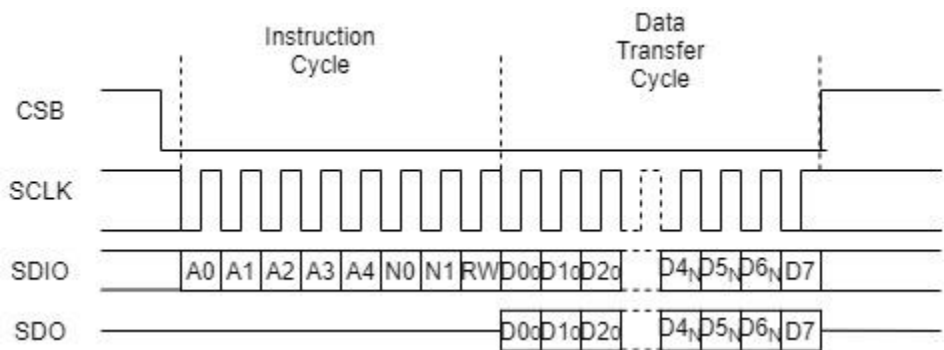


图 4 LSB First

双端口模式时序

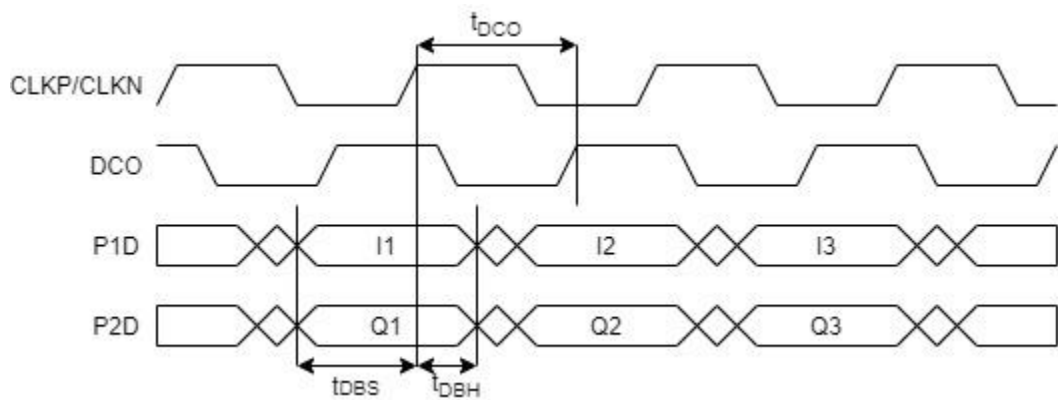


图 5 双端口模式时序

在图 5 中，DAC1 和 DAC2 的数据分别由 P1D 和 P2D 输入

单端口模式时序

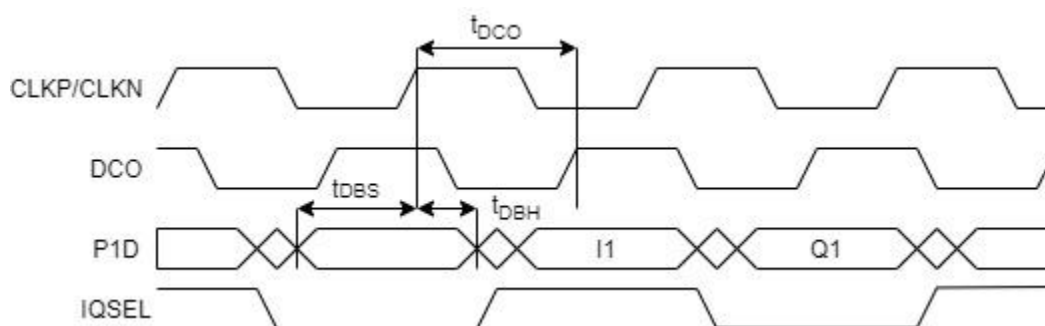


图 6 单端口模式时序

如图 6 所示，在单端口模式下，两个 DAC 的数据都在端口 1 输入。当 IQSEL 为逻辑高时，输出的是 DAC1 的数据，当 IQSEL 为逻辑低时，输出的是 DAC2 的数据。IQSEL 必须与输入数据时间一致。

SPI 端口、复位和引脚模式

当 RESET 引脚变为逻辑低，SPI 端口就会被激活，可以通过 SPI 配置器件的功能。

对于没有控制器的应用，本产品还支持引脚模式来配置一些固定的功能选项。保持 RESET 引脚逻辑高即可进入引脚模式，此时不使用 SPI 端口，四个 SPI 端口功能如表 6 所示。

表 6 SPI 端口功能

引脚名	功能
SCLK	ONEPORT (0x02, Bit6) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
SDIO	DATTYPE (0x02, Bit7) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
CSB	启用混合模式，如果 CSB 为高，则寄存器 0x0A 设置为 0x05。
SDO	启用完全断电，如果 SDO 为高，请将 0x03 设置为 0xFF

外形尺寸

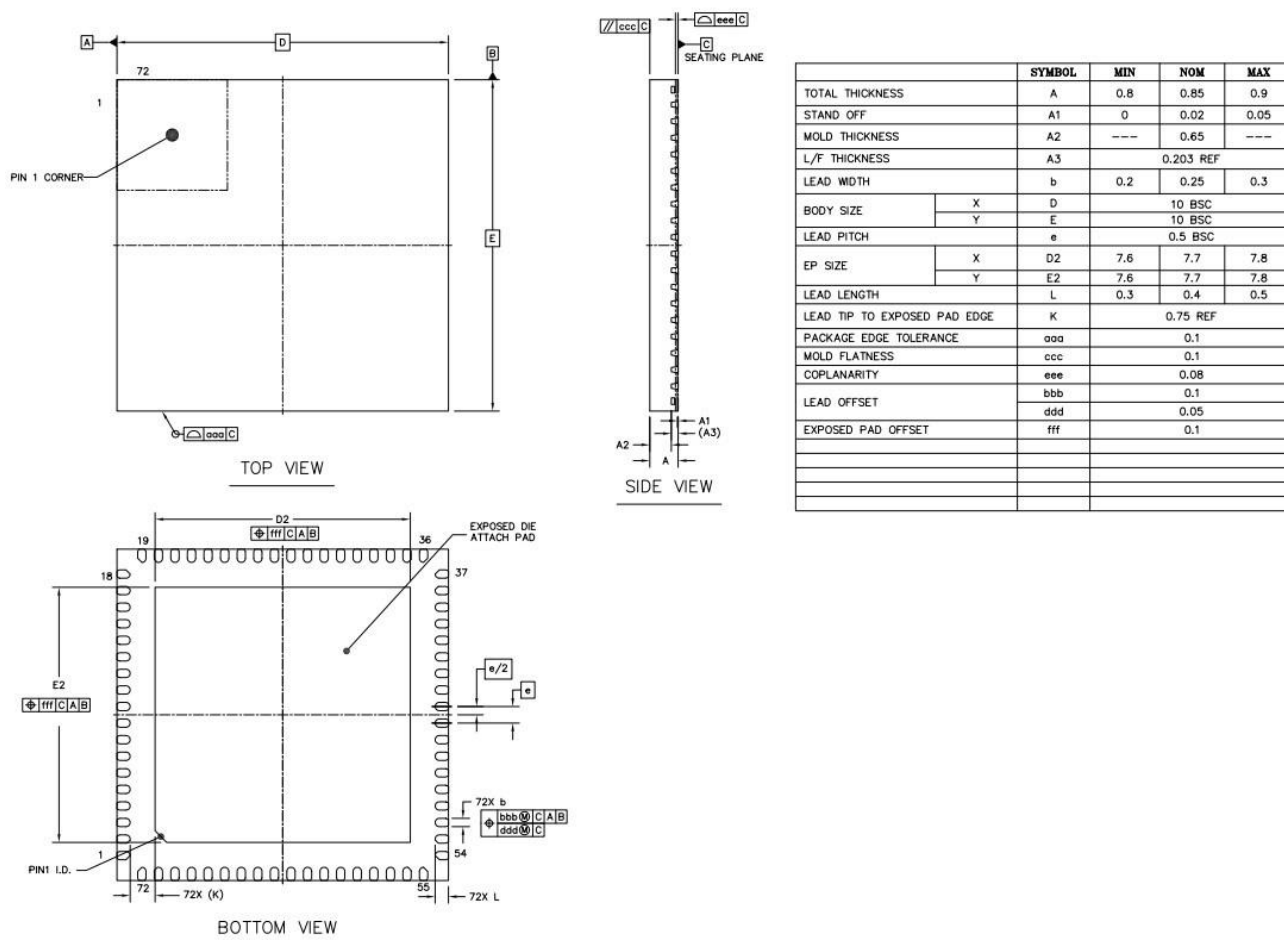


图 7 QFN-72 封装尺寸图

订购信息

表 7 订购信息

物料编号	温度范围	封装类型	包装形式
SC3321GDLUMY	-40~85℃	QFN-72	Tape & Reel

注：根据客户需求可以定制封装

版本号： V1.1

发布日期: 2023/05/18

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 <http://www.szkingfrom.com/>

声明

上述资料仅供参考使用，用于协助芯炽客户进行设计与研发。芯炽有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。